



#5
03 w/f

PATENT
81754.0064

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Toshihiko HIGUCHI

Serial No: 09/910,447

Filed: July 19, 2001

For: Semiconductor Device and Method
for Manufacturing the Same

Art Unit: Not Assigned

Examiner: Not Assigned

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

Assistant Commissioner for Patents
Washington D.C. 20231, on

October 19, 2001

Date of Deposit

Shindale Ferguson

Name

Signature *Shindale Ferguson* October 19, 2001

Signature

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-218890 which was filed July 19, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: October 19, 2001

By: *Lawrence J. McClure*

Lawrence J. McClure

Registration No. 44,228

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701



#5

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月19日

出 願 番 号

Application Number:

特願2000-218890

出 願 人

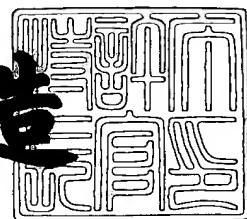
Applicant(s):

セイコーエプソン株式会社

2001年 7月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3062974

【書類名】 特許願

【整理番号】 EP-0242201

【提出日】 平成12年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 樋口 俊彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上にゲート絶縁層を介して形成されたゲート電極と、

前記半導体基板に形成され、前記ゲート電極を挟んで対向する第 1 および第 2 不純物拡散層と、

前記ゲート電極の側面部に形成されたサイドウォール絶縁層と、を含み、

前記ゲート電極は、その幅が底面から上面へ近づくにしたがって大きくなるように形成され、

前記第 1 および第 2 不純物拡散層の表面が、前記半導体基板と前記ゲート絶縁層との界面よりも高い位置に設けられている、半導体装置。

【請求項 2】 請求項 1 において、

前記第 1 および第 2 不純物拡散層の表面と、前記半導体基板と前記ゲート絶縁層との界面との間の距離が、 $0.05 \sim 0.15 \mu\text{m}$ である、半導体装置。

【請求項 3】 請求項 1 または 2 において、

前記半導体基板の所定の位置に溝部が設けられ、

前記ゲート電極は、前記溝部の底面上に前記ゲート絶縁層を介して形成されている、半導体装置。

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

前記ゲート電極は、ポリシリコン、タングステン、タンタル、銅、金、これらのうち少なくとも 2 つを含む合金のうち少なくとも 1 つからなる、半導体装置。

【請求項 5】 請求項 1 ～ 4 のいずれかにおいて、

前記半導体基板に素子分離領域が形成されている、半導体装置。

【請求項 6】 請求項 5 において、

前記素子分離領域は、トレンチ分離溝に絶縁層が埋め込まれて形成されている、半導体装置。

【請求項 7】 請求項 1 ～ 6 のいずれかにおいて、

前記第 1 および第 2 不純物拡散層は、エクステンション領域を含む、半導体装置。

【請求項 8】 請求項 1 ～ 7 のいずれかにおいて、

前記半導体基板のうち前記ゲート電極の直下部分に、第 3 不純物拡散層が形成されている、半導体装置。

【請求項 9】 請求項 1 ～ 8 のいずれかにおいて、

前記第 1 および第 2 不純物拡散層上に金属シリサイド層が形成され、かつ、前記ゲート電極はその上面に金属シリサイド層を含む、半導体装置。

【請求項 10】 請求項 1 ～ 9 のいずれかにおいて、

前記サイドウォール絶縁層は、窒化シリコン、酸化シリコン、またはこれらの複合膜を主成分とする材料から形成される、半導体装置。

【請求項 11】 請求項 1 ～ 10 のいずれかにおいて、

前記第 1 および第 2 不純物拡散層は、その表面が前記素子分離領域の表面よりも高い位置に形成されている、半導体装置。

【請求項 12】 請求項 1 ～ 11 のいずれかにおいて、

前記サイドウォール絶縁層は、その外側面が前記半導体基板の表面に対してほぼ垂直であり、かつ、その膜厚が底面から上面に近づくにしたがって小さくなるように形成されている、半導体装置。

【請求項 13】 以下の工程 (a) ～ (e) を含む半導体装置の製造方法。

(a) 半導体基板上に第 1 絶縁層を積層する工程、

(b) 前記第 1 絶縁層および前記半導体基板の一部を除去して、所定の位置に溝を形成する工程、

(c) 前記溝の側面に、前記第 1 絶縁層とは異なる材料からなる第 2 絶縁層を用いてサイドウォール絶縁層を形成する工程、

(d) 前記溝の底面にゲート絶縁層を形成する工程、

(e) 導電性材料を用いて前記溝を埋め込んだ後、少なくとも前記半導体基板の表面が露出するまで前記第 1 絶縁層を除去して、ゲート電極を形成する工程、および

(f) 前記半導体基板に不純物を導入することにより、前記ゲート電極を挟ん

で対向する第 1 および第 2 不純物拡散層を前記半導体基板に形成する工程。

【請求項 1 4】 請求項 1 3 において、

前記溝の幅および前記サイドウォール絶縁層の膜厚をそれぞれ所定の長さに形成することにより、前記ゲート電極の幅を所定の長さに形成する、半導体装置の製造方法。

【請求項 1 5】 請求項 1 3 または 1 4 において、さらに、以下の工程 (g) を含む半導体装置の製造方法。

(g) 前記半導体基板の所定の位置に素子分離領域を形成する工程。

【請求項 1 6】 請求項 1 5 において、

前記工程 (g) において、前記工程 (a) において前記第 1 絶縁層を形成する前に、所定の位置にトレンチ分離溝を形成した後、

前記工程 (a) において、該トレンチ分離溝に前記第 1 絶縁層を埋め込み、さらに、

前記工程 (b) ~ (d) において前記ゲート電極を形成した後、

前記工程 (e) において前記第 1 絶縁層をエッチバックすることにより、埋め込み形状を有する素子分離領域を形成する、半導体装置の製造方法。

【請求項 1 7】 請求項 1 3 ~ 1 6 のいずれかにおいて、

前記工程 (c) の後に、

前記半導体基板のうち前記溝の底面に相当する部分に不純物を導入して、第 3 不純物拡散層を形成する工程を含む、半導体装置の製造方法。

【請求項 1 8】 請求項 1 7 において、

前記工程 (b) の後に、

前記半導体基板のうち前記溝の底面に相当する部分に、第 1 導電型の不純物を導入して第 4 不純物拡散層を形成した後、

前記工程 (c) において、前記溝の側面に前記サイドウォール絶縁層を形成し

、
前記工程 (c) の後に、

前記第 4 不純物拡散層に第 2 導電型の不純物を導入して前記第 3 不純物拡散層を形成する、半導体装置の製造方法。

【請求項 1 9】 請求項 1 3 ～ 1 8 のいずれかにおいて、

前記工程（f）の後に、

前記第 1 および第 2 不純物拡散層上に金属シリサイド層を形成するとともに、前記ゲート電極の上面に金属シリサイド層を形成する工程を含む、半導体装置の製造方法。

【請求項 2 0】 請求項 1 3 ～ 1 9 のいずれかにおいて、

前記工程（c）は、前記半導体基板上に全面的に前記第 2 絶縁層を堆積させた後、異方性エッチバックにより前記サイドウォール絶縁層を形成する工程であって、

前記第 2 絶縁層は、前記第 1 絶縁層とは異なるエッチングレートを有する材料からなる、半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、より微細化された半導体装置およびその製造方法に関する。

【0 0 0 2】

【背景技術】

現在、半導体装置、たとえば相補型 MOS 半導体装置においては、より微細化され、かつ高速な素子の実現が望まれている。このような素子を構成するゲート電極は、たとえば、その幅がフォトリソグラフィで用いられる光の波長より短いものが要求されており、微細なゲート電極を形成するためには、より高度な加工技術が求められるようになってきている。

【0 0 0 3】

一方、半導体装置の微細化に伴い、特に相補型 MOS 半導体装置においては、ソース／ドレインを構成する不純物拡散層の抵抗が上昇し、かかる不純物拡散層の抵抗上昇に起因した配線遅延が顕在化してきている。かかる配線遅延を解決するための一手法として、不純物拡散層上にコバルトシリサイドやチタンシリサイドなどの金属シリサイド層を自己整合的に形成する技術、いわゆるサリサイドブ

ロセス (SALICIDE: Self-Aligned Silicide) が開発されている。かかるサリサイドプロセスにより、不純物拡散層の低抵抗化を図ることができる。

【0004】

一方、微細化が進むにつれて、不純物拡散層を基板表面からより浅く形成することが求められている。ところが、不純物拡散層が基板表面から浅く形成されている場合、不純物拡散層上にシリサイド層を形成すると、シリサイド層中のシリコンへと金属が拡散し、この拡散した金属中の電子が接合を通りぬけるという現象が生じる。その結果、リーク電流が発生することがあり、トランジスタの特性を劣化させる一因となっていた。すなわち、より微細化され、かつトランジスタの特性が良好である素子を得ることが難しいという問題が生じていた。

【0005】

【発明が解決しようとする課題】

本発明の目的は、より微細化され、かつ良好なトランジスタ特性が得られる半導体装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

(A) 本発明の半導体装置は、
半導体基板と、
前記半導体基板上にゲート絶縁層を介して形成されたゲート電極と、
前記半導体基板に形成され、前記ゲート電極を挟んで対向する第1および第2不純物拡散層と、
前記ゲート電極の側面部に形成されたサイドウォール絶縁層と、を含み、
前記ゲート電極は、その幅が底面から上面へ近づくにしたがって大きくなるように形成され、
前記第1および第2不純物拡散層の表面が、前記半導体基板と前記ゲート絶縁層との界面よりも高い位置に設けられていることを特徴とする。

【0007】

前記半導体装置によれば、前記ゲート電極の幅が底面から上面へ近づくにした

がって大きくなるように形成されていることにより、微細化を図りつつ、ゲート長を大きくせずに前記ゲート電極の低抵抗化を図ることができる。さらに、前記第1および第2不純物拡散層の表面が、前記半導体基板と前記ゲート絶縁層との界面よりも高い位置に形成される分、前記第1および第2不純物拡散層を厚く形成することができる。

以上により、より微細化されたトランジスタであっても、前記第1および第2不純物拡散層の膜厚を確保することができるため、トランジスタの性能を維持することができる。

【0008】

また、前記第1および第2不純物拡散層の表面と、前記半導体基板と前記ゲート絶縁層との界面との間の距離は、 $0.05 \sim 0.15 \mu\text{m}$ であることが望ましい。

【0009】

前記半導体装置のより好ましい態様としては、以下に示すものが例示できる。

【0010】

(1) 前記半導体基板の所定の位置に溝部が設けられ、前記ゲート電極を、前記溝部の底面上に前記ゲート絶縁層を介して形成することができる。

【0011】

この構成によれば、前記ゲート電極の一部が前記半導体基板に埋没した形状となるため、前記ゲート電極の高さを変えることなく、装置全体の薄型化を図ることができる。

【0012】

(2) 前記ゲート電極は、ポリシリコン、タングステン、タンタル、銅、金、これらのうち少なくとも2つを含む合金のうち少なくとも1つからなることが望ましい。

【0013】

(3) 前記半導体基板に素子分離領域が形成されていることが望ましい。

【0014】

この場合、前記素子分離領域は、トレンチ分離溝に絶縁層が埋め込まれて形成

されていることが望ましい。

【 0 0 1 5 】

(4) 前記第 1 および第 2 不純物拡散層は、エクステンション領域を含むことが望ましい。

【 0 0 1 6 】

(5) 前記半導体基板のうち前記ゲート電極の直下部分に、第 3 不純物拡散層が形成されていることが望ましい。この構成によれば、前記第 3 不純物拡散層はチャンネル領域として作用し、前記第 3 不純物拡散層の膜厚を適宜選択することにより、閾値を調整することができる。さらに、前記第 1 および第 2 不純物拡散層の端部に集中する電界を緩和することができる。

【 0 0 1 7 】

(6) 前記第 1 および第 2 不純物拡散層上に金属シリサイド層が形成され、かつ、前記ゲート電極はその上面に金属シリサイド層を含むことが望ましい。この構成によれば、前記第 1 および第 2 不純物拡散層、ならびに前記ゲート電極の低抵抗化を図ることができる。

【 0 0 1 8 】

(7) 前記サイドウォール絶縁層は、窒化シリコン、酸化シリコン、またはこれらの複合膜を主成分とする材料から形成されることが望ましい。

【 0 0 1 9 】

(8) 前記不純物拡散層は、その表面が前記素子分離領域の表面よりも高い位置に形成されていることが望ましい。

【 0 0 2 0 】

(9) 前記サイドウォール絶縁層は、その外側面が前記半導体基板の表面に対してほぼ垂直であり、かつ、その膜厚が底面から上面に近づくにしたがって小さくなるように形成されていることが望ましい。ここで、前記サイドウォール絶縁層の外側面とは、前記サイドウォール絶縁層において前記ゲート電極と接している面と反対側の面をいう。この構成によれば、微細化を図りつつ、ゲート長を大きくせずに前記ゲート電極の低抵抗化を図ることができる。

【 0 0 2 1 】

(B) 本発明の半導体装置の製造方法は、

(a) 半導体基板上に第 1 絶縁層を積層する工程、

(b) 前記第 1 絶縁層および前記半導体基板の一部を除去して、所定の位置に溝を形成する工程、

(c) 前記溝の側面に、前記第 1 絶縁層とは異なる材料からなる第 2 絶縁層を用いてサイドウォール絶縁層を形成する工程を含む工程、

(d) 前記溝の底面にゲート絶縁層を形成する工程、

(e) 導電性材料を用いて前記溝を埋め込んだ後、少なくとも前記半導体基板の表面が露出するまで前記第 1 絶縁層を除去して、ゲート電極を形成する工程、および

(f) 前記半導体基板に不純物を導入することにより、前記ゲート電極を挟んで対向する第 1 および第 2 不純物拡散層を前記半導体基板に形成する工程。

【 0 0 2 2 】

この場合、前記溝の幅および前記サイドウォール絶縁層の膜厚をそれぞれ所定の長さに形成することにより、前記ゲート電極のゲート長を所定の長さに形成することができる。したがって、上記工程によれば、前記溝の幅および前記サイドウォール絶縁層の膜厚を適宜調整することにより、所望のゲート長を有するゲート電極を得ることができるため、設計の自由度を増加させることができるうえに、高度な加工技術を用いることなく、より微細なゲート長を有するゲート電極を得ることができる。

【 0 0 2 3 】

前記半導体装置の製造方法のより好ましい態様としては、以下に示すものが例示できる。

【 0 0 2 4 】

(1) さらに、以下の工程 (g) を含むことができる。

【 0 0 2 5 】

(g) 前記半導体基板の所定の位置に素子分離領域を形成する工程。

【 0 0 2 6 】

この場合、前記工程 (g) において、前記工程 (a) において前記第 1 絶縁層

を形成する前に、所定の位置にトレンチ分離溝を形成した後、

前記工程（a）において、該トレンチ分離溝に前記第1絶縁層を埋め込み、さらに、

前記工程（b）～（d）において前記ゲート電極を形成した後、

前記工程（e）において前記第1絶縁層をエッチバックすることにより、埋め込み形状を有する素子分離領域を形成することが望ましい。

【0027】

（2）前記工程（c）の後に、

前記半導体基板のうち前記溝の底面に相当する部分に不純物を導入して、第3不純物拡散層を形成する工程を含むことができる。

【0028】

また、この場合、前記工程（b）の後に、

前記半導体基板のうち前記溝の底面に相当する部分に、第1導電型の不純物を導入して第4不純物拡散層を形成した後、

前記工程（c）において、前記溝の側面に前記サイドウォール絶縁層を形成し、

前記工程（c）の後に、

前記第4不純物拡散層に第2導電型の不純物を導入して前記第3不純物拡散層を形成することができる。このプロセスによれば、前記半導体基板の不純物濃度によらず、半導体装置の閾値電圧を設定することができる。また、前記第1および第2不純物拡散層にエクステンション領域を形成する場合には、このエクステンション領域を前記第1および第2不純物拡散層より先に導入することができる。このため、エクステンション領域を浅く形成することができるので、短チャネル効果を抑制することができ、半導体装置の微細化に対応しやすい。

【0029】

（3）前記工程（f）の後に、

前記第1および第2不純物拡散層上に金属シリサイド層を形成するとともに、前記ゲート電極の上面に金属シリサイド層を形成する工程を含むことができる。

【0030】

(4) 前記工程(c)は、前記半導体基板上に全面的に前記第2絶縁層を堆積させた後、異方性エッチバックにより前記サイドウォール絶縁層を形成する工程であって、

前記第2絶縁層は、前記第1絶縁層とは異なるエッチングレートを有する材料からなることが望ましい。

【0031】

このプロセスによれば、前記第2絶縁層を除去せずに、前記第1絶縁層のみを選択的に除去することができるため、所定の形状を有するサイドウォール絶縁層を得ることができる。

【0032】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0033】

(デバイスの製造プロセス)

まず、本発明の一実施の形態にかかる半導体装置100の製造方法について、図2～10を用いて説明する。図2～10は、図1に示す本実施の形態にかかる半導体装置100の製造工程を模式的に示す断面図である。

【0034】

本実施の形態にかかる半導体装置100の製造方法は、主に以下の工程(a)～(f)からなる。

【0035】

工程(a)は、シリコンからなる半導体基板10(以下、「シリコン基板10」とする)上に第1絶縁層12aを積層する工程である。

【0036】

工程(b)は、第1絶縁層12aおよびシリコン基板10の一部を除去して、所定の位置に溝13を形成する工程である。

【0037】

工程(c)は、溝13の側面に、第1絶縁層12aとは異なる材料からなる第2絶縁層(図示せず)を用いてサイドウォール絶縁層15a, 15bを形成する

工程である。

【0038】

工程(d)は、溝13の底面にゲート絶縁層16を形成する工程である。

【0039】

工程(e)は、導電性材料を用いて溝13を埋め込んだ後、少なくともシリコン基板10の表面が露出するまで第1絶縁層12aを除去する工程を経て、ゲート電極21を形成する工程である。

【0040】

工程(f)は、シリコン基板10に不純物を導入して、シリコン基板10に、ゲート電極21を挟んで対向する第1不純物拡散層18および第2不純物拡散層20を形成する工程である。

【0041】

以上の工程により、図1に示すように、半導体装置100が得られる。半導体装置100はゲート電極21を含み、ゲート電極21の幅が底面から上面へ近づくにしたがって大きくなるような形状を有するを含むことを特徴とする。

【0042】

はじめに、工程(a)について説明する。

【0043】

(a) まず、図2に示すように、素子分離領域12(後述する)を形成するためのトレンチ分離溝11を形成する。すなわち、第2導電型(P型)のシリコン基板10上に所定のパターンのレジスト(図示せず)を形成した後、シリコン基板10をエッチングして、図2に示すようにトレンチ分離溝11を形成する。続いて、CVD法またはプラズマCVD法によりノンドープの酸化シリコン層を形成する。形成方法としては、たとえば反応ガスとして O_3 、TEOS(tetraethyl orthosilicate)、またはTEOS以外のシラン系ガスを用いた熱分解によるCVD法、またはHDP(High Density Plasma)CVD法等のプラズマCVD法を用いて、ノンドープの酸化シリコン層を形成するのが一般的である。図3に示すように、第1絶縁層12aでトレンチ分離溝11を埋め込むとともに、シリコン基板10上に、所定の膜厚の第1絶縁層12aを積層する。なお、本実施の形態

においては、第1導電型をN型、第2導電型をP型とする。

【0044】

なお、本実施の形態においては、素子分離領域12をSTI (Shallow Trench Isolation)法により形成する場合について説明するが、素子分離領域12の形成方法はこれに限定されるわけではなく、LOCOS法による素子分離であってもよい。

【0045】

また、第1絶縁層12aとしては、上記のように、ノンドープの酸化シリコン層が挙げられる。

【0046】

続いて、シリコン基板10上に形成された第1絶縁層12aの表面を、CMP (Chemical Mechanical Polishment; 化学機械的研磨)により平坦化する。

【0047】

(b) 次いで、所定のパターンのレジスト (図示せず) を第1絶縁層12a上に形成してから、ドライエッチング法等を用いて第1絶縁層12aおよびシリコン基板10の一部を除去し、図4に示すように、溝13を形成する。ここで、溝13の幅 w (図4参照) が、後の工程において形成するゲート電極21のゲート長 w_g (図1参照) とサイドウォール絶縁層15a, 15bの膜厚 d_{sa} , d_{sb} (図1参照) との和となるように、溝13を形成するのが望ましい。また、かかるゲート電極21の高さは、溝13の深さ d (図4参照) に応じて決定される。したがって、高さ h (図1参照) のゲート電極21を得るためには、溝13の深さ d が、所望するゲート電極21の高さ h とほぼ等しくなるように溝13を形成するのが望ましい。溝13の深さ d は、図4に示すように、第1絶縁層12aの膜厚 d_1 および除去するシリコン基板10の深さ d_2 の和であることから、第1絶縁層12aの膜厚 d_1 および除去するシリコン基板10の深さ d_2 もゲート電極21の高さ h に応じて決定される。なお、除去するシリコン基板10の深さ d_2 は、 $0.05 \sim 0.1 \mu m$ であることが望ましい。

【0048】

また、必要に応じて、シリコン基板10のうち溝13の底面に相当する部分に

不純物を導入する。かかる工程により、図5に示すように、溝13の底面に、第1導電型(N型)の不純物拡散層である第4不純物拡散層14aを形成する。この工程において導入する不純物は、シリコン基板10と反対の導電型であるものを用いる。このプロセスによれば、第4不純物拡散層14aを形成することにより、シリコン基板10においてゲート絶縁層16と接する領域に、電流の流れやすい不純物拡散層(エクステンション領域)を形成することができる。この第4不純物拡散層14aの不純物濃度は、 $1 \times 10^{17} \sim 10^{22} \text{ cm}^{-3}$ 程度であることが望ましい。また、第4不純物拡散層14aの深さ h_{14a} (図5参照)は、0.02~0.15 μm 程度であることが望ましい。

【0049】

(c) 続いて、CVD(chemical vapor deposition)によって、シリコン基板10の上に全面的に第2絶縁層(図示せず)を堆積させた後、異方性エッチバックによって、図6に示すように、第2絶縁層からなるサイドウォール絶縁層15a, 15bを形成する。サイドウォール絶縁層15a, 15bは、その外側面がシリコン基板10の表面に対してほぼ垂直であり、かつ、その膜厚が底面から上面に近づくにしたがって小さくなるように形成されている。すなわち、サイドウォール絶縁層15a, 15bは、溝13の底面からの距離が大きくなるにつれて膜厚が小さくなるような形状を有する。なお、サイドウォール絶縁層15a, 15bの外側面とは、サイドウォール絶縁層15a, 15bにおいてゲート電極21と接している面と反対側の面をいう。ここで、堆積させる第2絶縁層の膜厚を制御することにより、サイドウォール絶縁層15a, 15bの膜厚 d_{sa} , d_{sb} を制御することが可能である。また、CVDの条件を適宜制御することによっても、サイドウォール絶縁層15a, 15bの膜厚 d_{sa} , d_{sb} を制御することが可能である。また、サイドウォール絶縁層15a, 15bは、窒化シリコン、酸化シリコン、またはこれらの複合膜を主成分とする材料から形成されることが望ましい。

【0050】

(d) 続いて、溝13の底面に対して不純物の導入を行なう。具体的には、第4不純物拡散層14aに対して不純物の導入を行ない、図7に示すように、第2

導電型（P型）の第3不純物拡散層14を形成するとともに、第3不純物拡散層14の両端部にエクステンション領域25a, 25bを形成する。この工程において導入する不純物はシリコン基板10と同じ導電型であるものを用いる。かかる工程で導入する不純物の濃度は、 $1 \times 10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度であることが望ましい。また、エクステンション領域25a, 25bの膜厚は h_{25a} , h_{25b} （図7参照）は、 $0.05 \sim 0.20 \mu\text{m}$ 程度であることが望ましい。次いで、シリコン基板10のうち溝13の底面に位置する部分を熱酸化して、酸化シリコン層からなるゲート絶縁層16を形成する。

【0051】

かかる工程において、熱酸化を行なうかわりに、窒素を含むガスを用いて前記部分を窒化酸化することにより、窒化酸化シリコン層（SiON）からなるゲート絶縁層16を形成することもできる。ゲート絶縁層16を窒化酸化シリコン層から形成することにより、ゲート絶縁層16の信頼性をより高めることができる。窒化酸化する場合に用いるガスとしては、たとえば N_2 , N_2O , NO , NH_3 等が例示できる。あるいは、窒化酸化により窒化酸化シリコン層（SiON）からなるゲート絶縁層16を形成するかわりに、酸化タンタルや酸化アクチニウムからなるゲート絶縁層16を形成することもできる。

【0052】

（e）次に、図8に示すように、CVD等を用いて導電性材料を溝13に埋め込む。かかる導電性材料としては、ポリシリコン（多結晶シリコン）、シリコンを主成分とする合金、タングステン、タンタル、銅、および金等の金属等を用いることができる。あるいは、チタン、タンタル、またはタングステン等の高融点金属の窒化物（バリア層）と前述した金属とを積層して溝13を埋め込んでもよい。

【0053】

続いて、CMP法、あるいはCMP法およびエッチングを併用することにより、少なくともシリコン基板10の表面が露出するまで第1絶縁層12aおよび導電性材料を除去する。かかる工程により、図9に示すように、ゲート絶縁層16と、たとえばポリシリコン等の導電性材料からなり、ゲート絶縁層16上に形成

された導電層 1 7 とを含むゲート電極 2 1 a を形成するとともに、埋め込み形状を有する素子分離領域 1 2 を形成する。

【 0 0 5 4 】

かかる工程において、たとえばサイドウォール絶縁層 1 5 a, 1 5 b に窒化シリコンを、導電層 1 7 を形成するための導電性材料にポリシリコンを、および第 1 絶縁層 1 2 a に酸化シリコンをそれぞれ用いて前述したエッチングを行なう場合、酸化シリコンのエッチングレートと、窒化シリコンおよびポリシリコンのエッチングレートが大きく異なるため、酸化シリコンからなる第 1 絶縁層 1 2 a のみを選択的に除去することが可能となる。これにより、導電層 1 7 およびサイドウォール絶縁層 1 5 a, 1 5 b の形状を保ちながら、第 1 絶縁層 1 2 a のみを選択的にエッチバックすることができる。

【 0 0 5 5 】

ここで、トレンチ分離溝 1 1 に埋め込まれた第 1 絶縁層 1 2 a については、シリコン基板 1 0 の表面から所定の深さだけオーバーエッチングするのが望ましい。

【 0 0 5 6 】

(f) 続いて、シリコン基板 1 0 に不純物を導入して、ゲート電極 2 1 a を挟んで対向する第 1 導電型 (N 型) の第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 をシリコン基板 1 0 に形成する。第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 はソース/ドレイン領域であり、これらの不純物濃度が、エクステンション領域 2 5 a, 2 5 b の不純物濃度より高くなるように不純物を導入する。あるいは、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 の不純物濃度が、第 3 不純物拡散層 1 4 の不純物濃度とほぼ同程度となるように不純物を導入することもできる。かかる工程においては、シリコン基板 1 0 に直接不純物を導入するので、ゲート電極 2 1 a 周辺に不純物が付着するという問題が生じることがないため、かかる工程により不純物を導入する際には、トランジスタの特性を低下させることがない。

【 0 0 5 7 】

次に、必要に応じて第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 を活性

化する。さらに、必要に応じて、シリコン基板10上に、通常用いるシリサイドプロセスを用いて金属シリサイド層19を形成する。また、導電層17がポリシリコンからなる場合には、その上面に金属シリサイド層29を含むゲート電極21を形成する。金属シリサイド層19の形成に用いる金属としては、たとえばコバルトやチタンを例示できる。これにより、シリコン基板10上に金属シリサイド層19が形成されるとともに、導電層17の上面に金属シリサイド層29が形成される。以上の工程により、導電層17、および金属シリサイド層29を含むゲート電極21が形成された半導体装置100（図1参照）が得られる。

【0058】

（デバイスの構造）

次に、前述した工程により得られた本実施の形態にかかる半導体装置100の構造について説明する。図1は、本実施の形態にかかる半導体装置100の断面を模式的に示す図である。

【0059】

本実施の形態にかかる半導体装置100は、図1に示すように、シリコン基板10と、シリコン基板10上にゲート絶縁層16を介して形成されたゲート電極21と、シリコン基板10に形成され、ゲート電極21を挟んで対向する第1不純物拡散層18および第2不純物拡散層20を含む。

【0060】

ゲート電極21は、シリコン基板10の表面上に形成された導電層17、および金属シリサイド層29を含む。導電層17は、たとえば前述したポリシリコン等の導電性材料からなる。ここで、シリコン基板10の表面とは、シリコン基板10のうちゲート電極21が形成されている側の面をいう。

【0061】

また、ゲート電極21は、その幅が底面から上面へ近づくにしたがって大きくなる形状を有する。換言すれば、ゲート電極21は、シリコン基板10の表面に平行な面で切断した場合における断面積がシリコン基板10の表面からの距離が大きくなるにしたがって大きくなるような形状を有する。

【0062】

ゲート電極 2 1 の側面部には、サイドウォール絶縁層 1 5 a, 1 5 b が形成されている。サイドウォール絶縁層 1 5 a, 1 5 b は、その外側面がシリコン基板 1 0 の表面に対してほぼ垂直であり、かつ、その膜厚が底面から上面に近づくにしたがって小さくなるように形成されている。すなわち、サイドウォール絶縁層 1 5 a, 1 5 b の膜厚は、シリコン基板 1 0 の表面からの距離が大きくなるにつれて小さくなる形状を有する。サイドウォール絶縁層 1 5 a, 1 5 b は、たとえば窒化シリコンを主成分とする材料から形成されるのが望ましい。

【 0 0 6 3 】

半導体装置 1 0 0 においては、図 1 に示すように、ゲート電極 2 1 は、シリコン基板 1 0 の所定の位置に形成された溝部 2 7 の底面上にゲート絶縁層 1 6 を介して形成されている。したがって、シリコン基板 1 0 とゲート絶縁層 1 6 との界面は、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 の表面よりも低い位置に設けられている。第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 の表面と、シリコン基板 1 0 とゲート絶縁層 1 6 との界面との間の距離 L (図 1 参照) は、 $0.05 \sim 0.15 \mu\text{m}$ であることが望ましい。この距離 L は、シリサイド層 1 9 と第 1, 第 2 不純物拡散層 1 8, 2 0 の厚さ、特に第 1, 第 2 不純物拡散層 1 8, 2 0 の厚さを考慮して決定される。

【 0 0 6 4 】

また、シリコン基板 1 0 には、ゲート電極 2 1 を挟んでその両側に、第 1 導電型 (N 型) の第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 がそれぞれ形成されている。第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 の膜厚 h_a は、 $0.05 \sim 0.1 \mu\text{m}$ であることが望ましい。また、ゲート電極 2 1 の直下には、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 に挟まれて、第 2 導電型 (P 型) の第 3 不純物拡散層 1 4 が形成されている。第 3 不純物拡散層 1 4 はチャネル領域であり、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 と比較して不純物濃度が低く設定されているか、あるいは第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 とほぼ同程度の不純物濃度を有する。エクステンション領域 2 5 a, 2 5 b が形成されていることにより、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 の端部に集中する電界を緩和することができる。

【 0 0 6 5 】

さらに、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 はそれぞれ、第 3 不純物拡散層 1 4 との境界付近に、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 と同じ導電型（第 1 導電型；N 型）のエクステンション領域 2 5 a, 2 5 b を有する。エクステンション領域 2 5 a, 2 5 b の不純物濃度も、第 3 不純物拡散層 1 4 の不純物濃度と同様、第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 と比較して不純物濃度が低く設定されているか、あるいは第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 とほぼ同程度の不純物濃度を有する。エクステンション領域 2 5 a, 2 5 b の膜厚は、0. 0 5 ~ 0. 1 0 μ m 程度であることが望ましい。

【 0 0 6 6 】

シリコン基板 1 0 には、素子分離領域 1 2 が形成されている。素子分離領域 1 2 は埋め込み形状を有する。素子分離領域 1 2 は、たとえば酸化シリコン層などの絶縁層がトレンチ分離溝 1 1 に埋め込まれて形成されている。また、素子分離領域 1 2 は、その表面が第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 の表面よりも低くなるように形成されている。

【 0 0 6 7 】

さらに、シリコン基板 1 0 上には金属シリサイド層 1 9 が形成されている。シリサイド 1 9 の膜厚 h_b は 0. 0 3 ~ 0. 1 0 μ m であることが望ましい。また、導電層 1 7 がポリシリコンからなる場合には、ゲート電極 2 1 はその上面に金属シリサイド層 2 9 を含む。

【 0 0 6 8 】

（作用および効果）

次に、本実施の形態にかかる半導体装置およびその製造方法における作用および効果を説明する。

【 0 0 6 9 】

（1）ゲート電極 2 1 は、その幅が底面から上面へ近づくにしたがって大きくなるような形状を有する。これに対し、一般的な半導体装置に形成されるゲート電極は、その幅が上面と底面とでほぼ同じである。したがって、本実施の形態に

かかる半導体装置 1 0 0 と、ゲート電極の幅が上面と底面とでほぼ同じである一般的な半導体装置とがほぼ同じゲート長を有するゲート電極を含む場合、本実施の形態にかかる半導体装置 1 0 0 に形成されたゲート電極 2 1 の方が、ゲート電極 2 1 の幅が底面から上面へ近づくにしたがって大きくなる分容積が大きい。これにより、微細化を図りつつ、ゲート長を大きくせずに低抵抗化を図ることができる。

【 0 0 7 0 】

(2) 本実施の形態にかかる製造工程においては、ゲート電極 2 1 を形成するために用いる溝 1 3 の幅 w (図 4 参照) と、サイドウォール絶縁層 1 5 a, 1 5 b の膜厚 d_{sa} , d_{sb} (図 6 参照) とが所定の値となるように、溝 1 3 およびサイドウォール絶縁層 1 5 a, 1 5 b を形成することにより、所望のゲート長 w_g (図 1 参照) を有するゲート電極 2 1 が得られる。すなわち、溝 1 3 の幅 w と、サイドウォール絶縁層 1 5 a, 1 5 b の膜厚 d_{sa} , d_{sb} とを適宜調整することにより、所望のゲート長 w_g を有するゲート電極 2 1 が得られる。ここで、溝 1 3 の幅 w は、フォトリソグラフィの際に形成するレジストの大きさにより所定に容易に制御することができる。

【 0 0 7 1 】

ところで、半導体装置の微細化が進む中、ゲート電極のゲート長も微細化されてきている。特に、最近では光の波長よりも短いゲート長を有するゲート電極が求められるようになっている。しかしながら、そのような短いゲート長を有するゲート電極を精度良く加工するのは技術的に困難である場合が多い。また、ゲート電極のゲート長が小さくなるにつれて、ゲート電極の形成工程およびそれに関連する他の製造工程も大幅に変更せざるを得ない場合が多く、より短いゲート長を有するゲート電極を含む半導体装置の開発には多くの時間を要することが多い。

【 0 0 7 2 】

これに対し、本実施の形態にかかる製造プロセスによれば、サイドウォール絶縁層 1 5 a, 1 5 b の膜厚 d_{sa} , d_{sb} を適宜調整することにより、より短いゲート長を有するゲート電極を容易に得ることができる。また、より短いゲート長にするために、ゲート電極の形成工程やそれに関連する他の製造工程を変更する必

要がないため、半導体装置の開発に要する時間を短縮することができる。

【0073】

また、CVDを用いてサイドウォール絶縁層15a, 15bを形成する場合、使用するガスの種類や処理時間等のCVDの条件を適宜制御することによって、サイドウォール絶縁層15a, 15bの膜厚 d_{sa} , d_{sb} を容易に制御することができる。したがって、上記工程によれば、設計の自由度を増加させることができる。そのうえ、高度な加工技術を用いることなく、より微細なゲート長を有するゲート電極を得ることができる。

【0074】

さらに、本実施の形態にかかる半導体装置の製造工程を用いれば、各素子について溝13の幅 w と、サイドウォール絶縁層15a, 15bの膜厚 d_{sa} , d_{sb} とを所定の値に設計することにより、ゲート長の異なる複数の素子を同一工程で得ることができる。これにより、製造工程の短縮化を図ることができ、結果として、製造コストを低減することが可能となる。

【0075】

(3) 第1不純物拡散層18および第2不純物拡散層20は、その表面がシリコン基板10とゲート絶縁層16との界面よりも高い位置に形成されている分、第1不純物拡散層18および第2不純物拡散層20を厚く形成することができるため、シリサイド中の金属から電子が通りぬける現象（ジャンクションリーク）を防止することができる。したがって、より微細化されたトランジスタであっても、第1不純物拡散層18および第2不純物拡散層20の膜厚を確保することができるため、トランジスタの性能を維持することができる。

【0076】

また、シリコン基板10とゲート絶縁層16との界面が、第1不純物拡散層18および第2不純物拡散層20の表面よりも低い位置に設けられているので、ゲート電極21の一部がシリコン基板10に埋没した形状となる。このため、半導体装置100においては、ゲート電極21の高さを変えなくシリコン基板10の積層方向の厚さを薄くすることができる。

【0077】

(4) ゲート電極 21 はその上面に金属シリサイド層 29 を含む。金属シリサイド層 29 は、前述したように、一般にチタンやコバルトとシリコンとのシリサイドからなる。一般に、ゲート長が小さくなると、チタンやコバルトの細線効果が生じやすくなり、断線等が生じやすくなる。しかしながら、本実施の形態にかかる半導体装置 100 に形成されたゲート電極 21 は、その形状が底面から上面へ近づくにしたがって大きくなる形状を有する。すなわち、ゲート電極 21 においては底面における表面積よりも上面における表面積のほうが大きいため、底面における表面積と上面における表面積がほぼ等しいゲート電極を有する一般的な半導体装置と比較して、上面に形成された金属シリサイド層 29 では細線効果が生じにくい。したがって、断線等の発生を防止することができ、信頼性の高い半導体装置を得ることができる。

【0078】

なお、上記の実施の形態においては、第 1 導電型を N 型、第 2 導電型を P 型としたが、各半導体層においてこれらを入れ替えても本発明の趣旨を逸脱するものではない。すなわち、第 1 導電型を P 型、第 2 導電型を N 型としても本発明の作用および効果を奏することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態にかかる半導体装置の断面を模式的に示す図である。

【図 2】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 3】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 4】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 5】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 6】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 7】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 8】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 9】

本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【図 1 0】

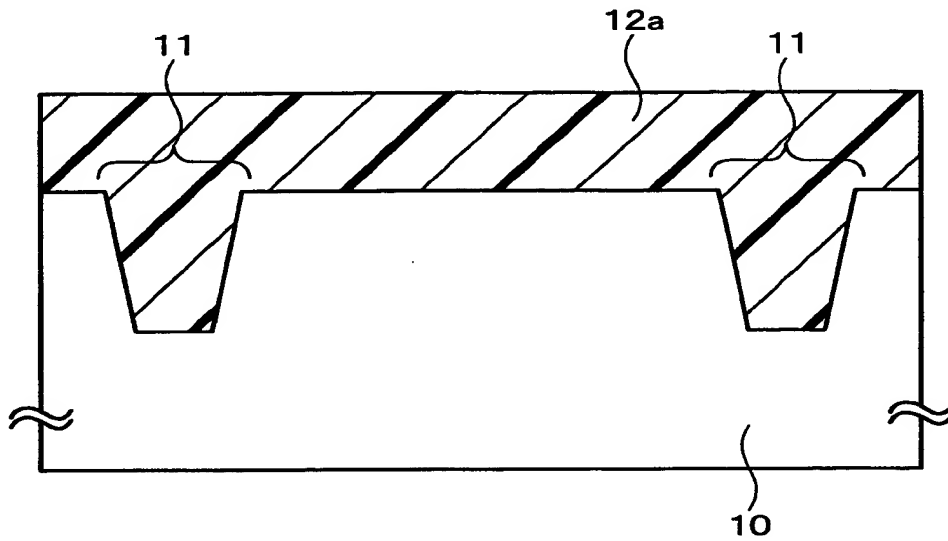
本発明の一実施の形態にかかる半導体装置の製造方法の一製造工程を模式的に示す断面図である。

【符号の説明】

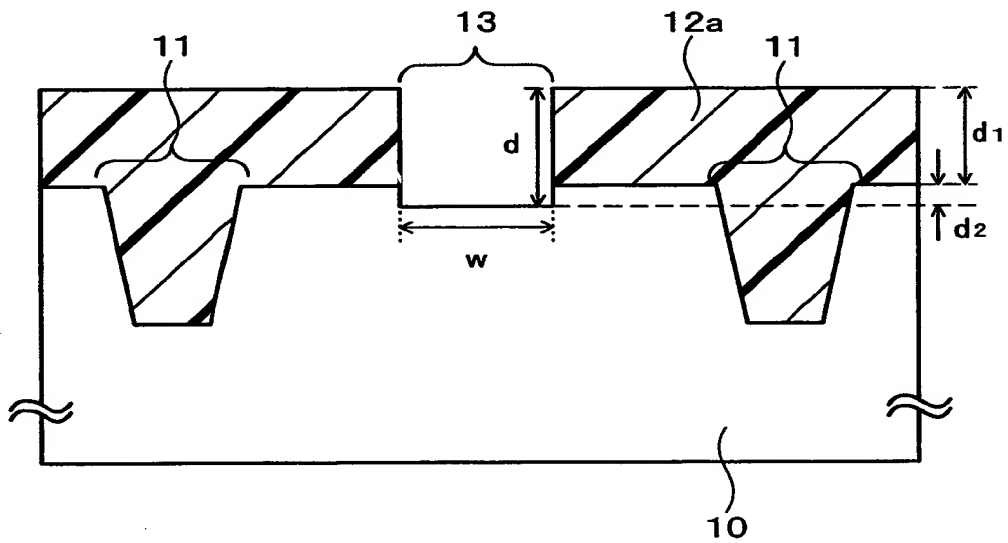
- 1 0 シリコン基板
- 1 1 トレンチ分離溝
- 1 2 素子分離領域
- 1 2 a 第 1 絶縁層
- 1 3 溝
- 1 4 第 3 不純物拡散層 (チャネル領域)
- 1 4 a 第 4 不純物拡散層
- 1 5 a, 1 5 b サイドウォール絶縁層
- 1 6 ゲート絶縁層
- 1 7 導電層
- 1 8 第 1 不純物拡散層

- 1 9 金属シリサイド層
- 2 0 第 2 不純物拡散層
- 2 1, 2 1 a ゲート電極
- 2 5 a, 2 5 b エクステンション領域
- 2 7 溝部
- 2 9 金属シリサイド層
- 1 0 0 半導体装置

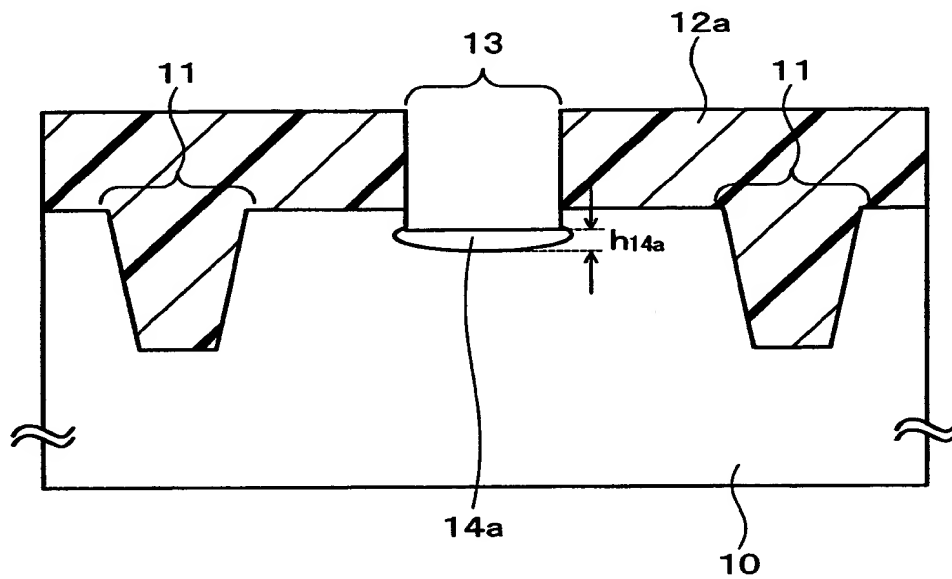
【図3】



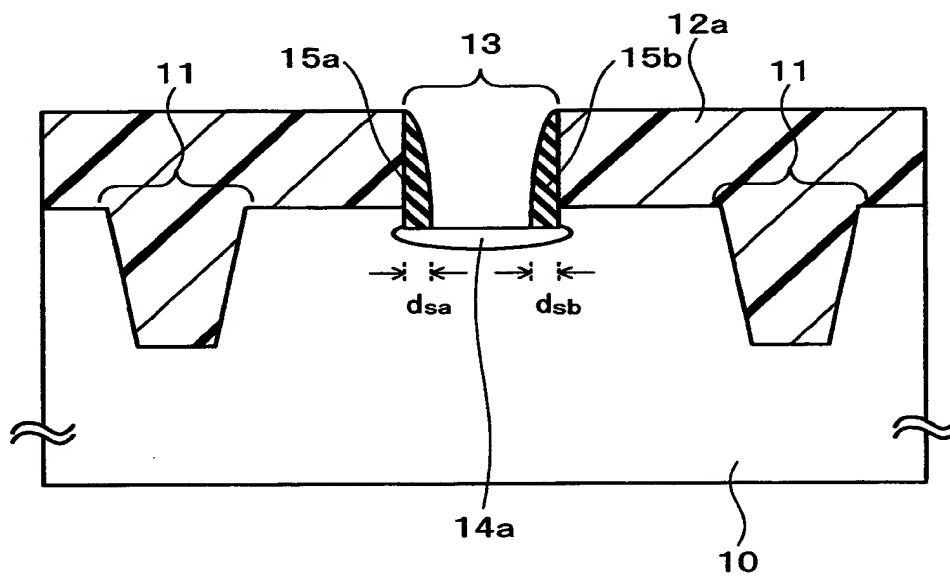
【図4】



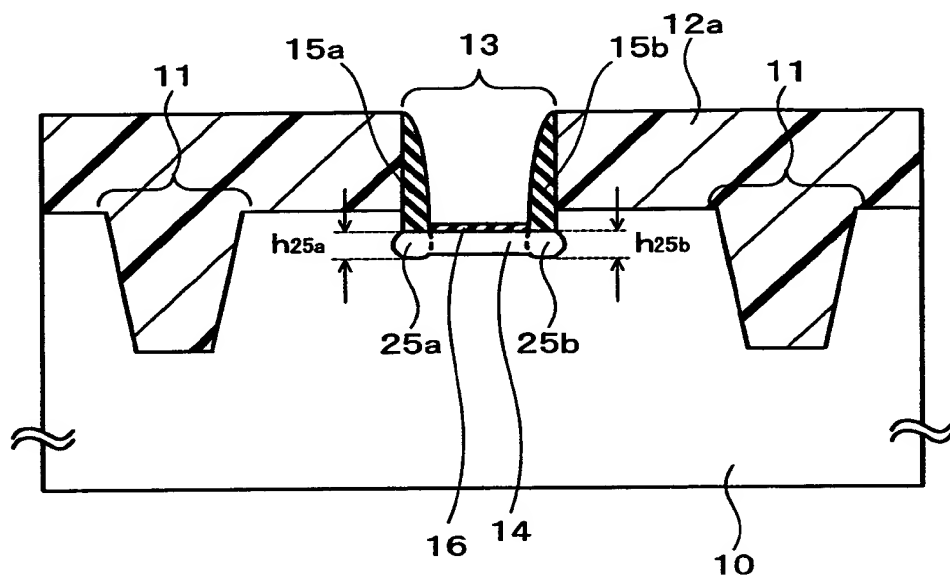
【図 5】



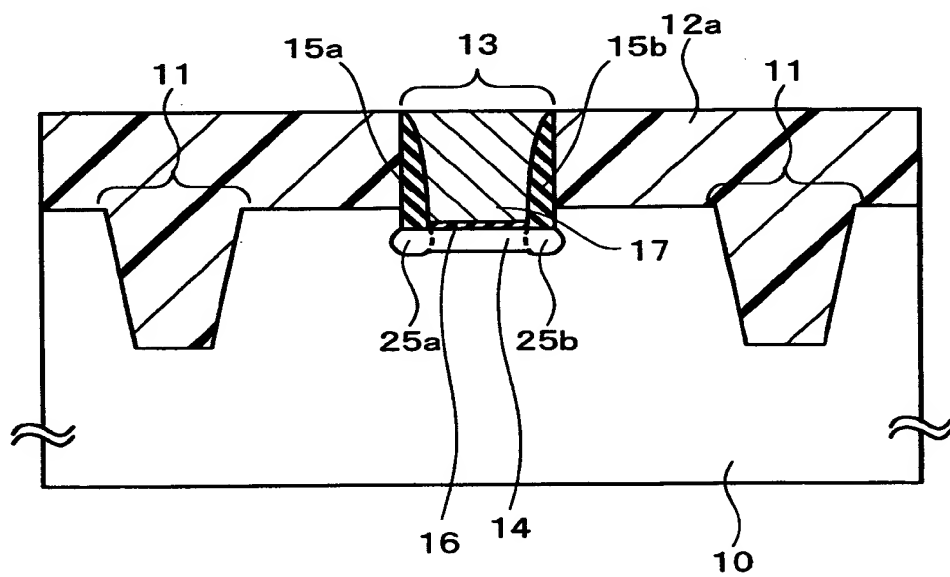
【図 6】



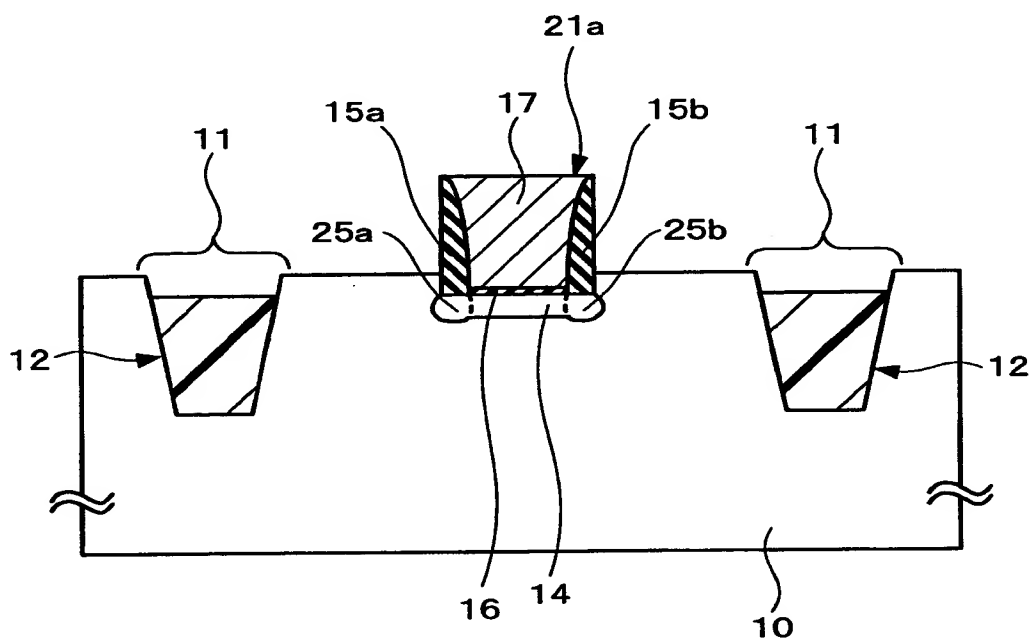
【図7】



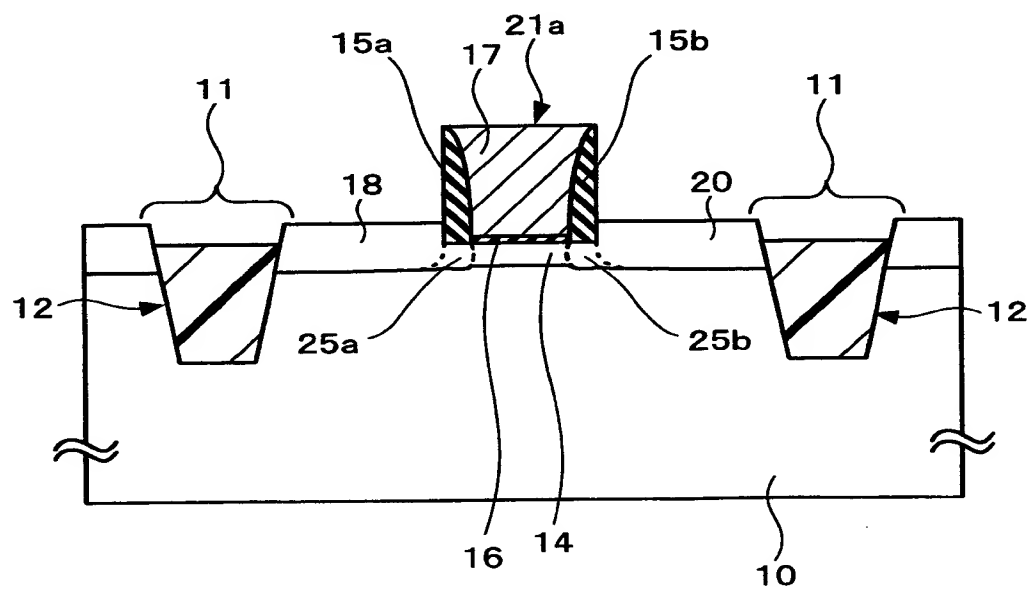
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 より微細化され、かつ良好なトランジスタ特性が得られる半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 1 0 0 は、シリコン基板 1 0 と、シリコン基板 1 0 上にゲート絶縁層 1 6 を介して形成されたゲート電極 2 1 と、シリコン基板 1 0 に形成された第 1 不純物拡散層 1 8 および第 2 不純物拡散層 2 0 と、ゲート電極 2 1 の側面部に形成されたサイドウォール絶縁層 1 5 a, 1 5 b とを含む。ゲート電極 2 1 は、その幅が底面から上面へ近づくにしたがって大きくなるように形成されている。

【選択図】 図 1

【書類名】 手続補正書
【整理番号】 EP-0242201
【提出日】 平成13年 4月10日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2000-218890
【補正をする者】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
【代理人】
 【識別番号】 100090479
 【弁理士】
 【氏名又は名称】 井上 一
 【電話番号】 03-5397-0891
【手続補正 1】
 【補正対象書類名】 明細書
 【補正対象項目名】 0 0 4 1
 【補正方法】 変更
 【補正の内容】 1
【手続補正 2】
 【補正対象書類名】 明細書
 【補正対象項目名】 0 0 4 7
 【補正方法】 変更
 【補正の内容】 2
【手続補正 3】
 【補正対象書類名】 明細書
 【補正対象項目名】 0 0 5 3
 【補正方法】 変更
 【補正の内容】 3

特 2 0 0 0 - 2 1 8 8 9 0

【プルーフの要否】 要

【 0 0 4 1 】

以上の工程により、図 1 に示すように、半導体装置 1 0 0 が得られる。半導体装置 1 0 0 はゲート電極 2 1 を含み、ゲート電極 2 1 の幅が底面から上面へ近づくにしたがって大きくなるような形状を有することを特徴とする。

【0047】

(b) 次いで、所定のパターンのレジスト（図示せず）を第1絶縁層12a上に形成してから、ドライエッチング法等を用いて第1絶縁層12aおよびシリコン基板10の一部を除去し、図4に示すように、溝13を形成する。ここで、溝13の幅 w （図4参照）が、後の工程において形成するゲート電極21のゲート長 w_g （図1参照）とサイドウォール絶縁層15a, 15bの膜厚 d_{sa} , d_{sb} （図1参照）との和となるように、溝13を形成するのが望ましい。また、かかるゲート電極21の高さは、溝13の深さ d （図4参照）に応じて決定される。したがって、高さ h （図1参照）のゲート電極21を得るためには、溝13の深さ d が、所望するゲート電極21の高さ h とほぼ等しくなるように溝13を形成するのが望ましい。溝13の深さ d は、図4に示すように、第1絶縁層12aの膜厚 d_1 および除去するシリコン基板10に形成される溝の深さ d_2 の和であることから、第1絶縁層12aの膜厚 d_1 および除去するシリコン基板10に形成される溝の深さ d_2 もゲート電極21の高さ h に応じて決定される。なお、シリコン基板10に形成される溝の深さ d_2 は、 $0.05 \sim 0.1 \mu m$ であることが望ましい。

【 0 0 5 3 】

続いて、CMP法、あるいはCMP法およびエッチングを併用することにより、少なくともシリコン基板10の表面が露出するまで第1絶縁層12aを除去する。かかる工程により、図9に示すように、ゲート絶縁層16と、たとえばポリシリコン等の導電性材料からなり、ゲート絶縁層16上に形成された導電層17とを含むゲート電極21aを形成するとともに、埋め込み形状を有する素子分離領域12を形成する。

認定・付加情報

特許出願の番号	特願2000-218890
受付番号	50100528021
書類名	手続補正書
担当官	宇留間 久雄 7277
作成日	平成13年 4月13日

<認定情報・付加情報>

【補正をする者】

【識別番号】

000002369

【住所又は居所】

東京都新宿区西新宿2丁目4番1号

【氏名又は名称】

セイコーエプソン株式会社

【代理人】

申請人

【識別番号】

100090479

【住所又は居所】

東京都杉並区荻窪5丁目26番13号 荻窪TM

ビル2階 井上・布施合同特許事務所

【氏名又は名称】

井上 一

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社